

# Staplade celler skapar stabilare minne

3D lagrar mer och säkrare



## Av Axel Stoermann, Toshiba Electronics Europe

Axel Stoermann leder verksamheten OEM Memory group på Toshiba Electronics Europe. Han har arbetat på företaget i över tio år, som applikationsingenjör, med produktmarknadsföring liksom kvalitets-säkring av minnen. Likaså har han arbetat med systemmarknadsföring mot mobiltelefoner och digitala konsumentplattformar.

**R**open efter ökad minneskapacitet till allt lägre priser har nått ett nästan öronbedövande crescendo. Fram tills nyligen var litografisk nerskalning det enda sättet att öka minnesdensiteten – antalet bitar som kan lagras per kiselenhet.

De senaste framstegen inom produktionstekniker har dock gjort det möjligt att tillverka kretsar med staplade cellstrukturer. Dessa svarar inte bara på högljudna krav på ökad bitdensitet utan de övervinner också många av de utmaningar som orsakas av krympande processer.

Med 3D NAND-strukturer nu i produktion är hårddiskar, baserade på halvledarminnen (solid-state-disk, SSD), som rymmer över 15 Terabyte precis runt hörnet,

### Följer Moores lag

Sedan Toshiba introducerade NAND-minnen år 1984 har NAND-flash varit i framkant av litografisk skalning inom elektronikindustrin. Under de senaste 30 åren har processnoderna krympt från 350 nm till 15 nm.

Genom införandet av nya celltekniker som klämmer in fler bitar i varje cell, har bitdensiteten för plana NAND-chip ökat mer än 2 000 gånger. Parallellt med ökningen i densitet har priset per Gbyte minskat dramatiskt. Priset har minskat ännu snabbare än bitdensiteten har ökat.

En av de viktigaste utmaningarna för den som vill använda de allra senaste NAND-konstruktionerna är att nya NAND-tekniker tenderar att kräva mer kraftfull felkorrigering (ECC, error correction code) i styrkretsarna. En annan viktig utmaning är att när

litografen krymper och bitar per cell ökar så minskar tillförlitligheten hos cellerna.

Det har gjort att utvecklingen av styrkretsen blivit en allt viktigare del. Generellt sett får man ofta vänta på att styrenheterna kommer ikapp den litografiska skalningen.

### Att överkomma litografins begränsningar

För att övervinna utmaningarna med att chipen krymper samtidigt som bitdensiteten ökar, har halvledartillverkare utvecklat sätt att stapla celler ovanpå varandra för att bilda tredimensionella NAND-strukturer. Den grundläggande idén med 3D NAND är att stapla lagringsceller vertikalt på kiselsubstratet. Detta ökar dramatiskt bitdensiteten jämfört med plana NAND-flash, där cellerna ligger sida vid sida på chipet.

Toshiba har utvecklat en 48-lagers tredimensionell cellstruktur för flashminnen, kallad BICS (Bit Column Stacked), som

överträffar kapaciteten hos vanliga tvådimensionella NAND-minnen och samtidigt förbättrar tillförlitligheten vid skrivning/radering, hållbarheten hos cellen samt ökar skrivhastigheten.

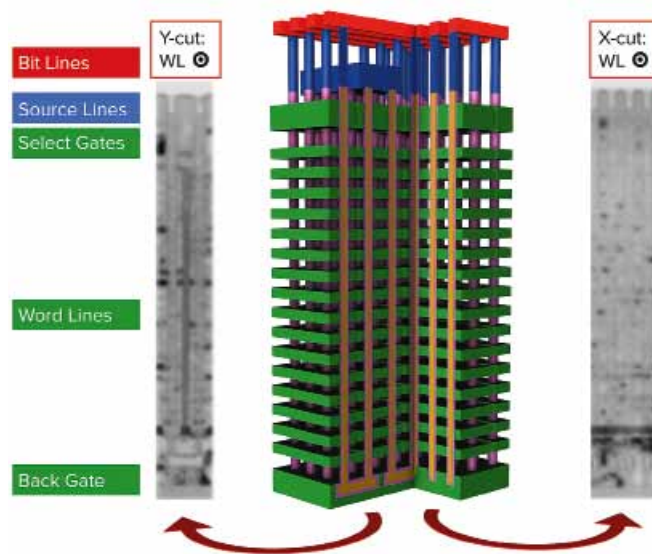
Den högre tillförlitligheten vid skrivning/radering uppnås eftersom den nya BICS-tekniken innebär att man kan använda större litografiska processer och samtidigt dramatiskt öka bitdensiteten. I själva verket är ökning av skriv/rader-tillförlitligheten och hållbarheten så markant att inte bara MLC (multi level cell, 2 bitar per cell) och TLC-celler (trippel level cell, tre bitar per cell) kommer att gå i massproduktion, utan även enheter med 4 bitar per cell övervägs.

Toshiba förutser att både 2D NAND och 3D NAND som BICS kommer att samexistera inom en snar framtid eftersom det inte finns någon överlappning i den kapacitet som erbjuds av de två arkitekturerna. 2D

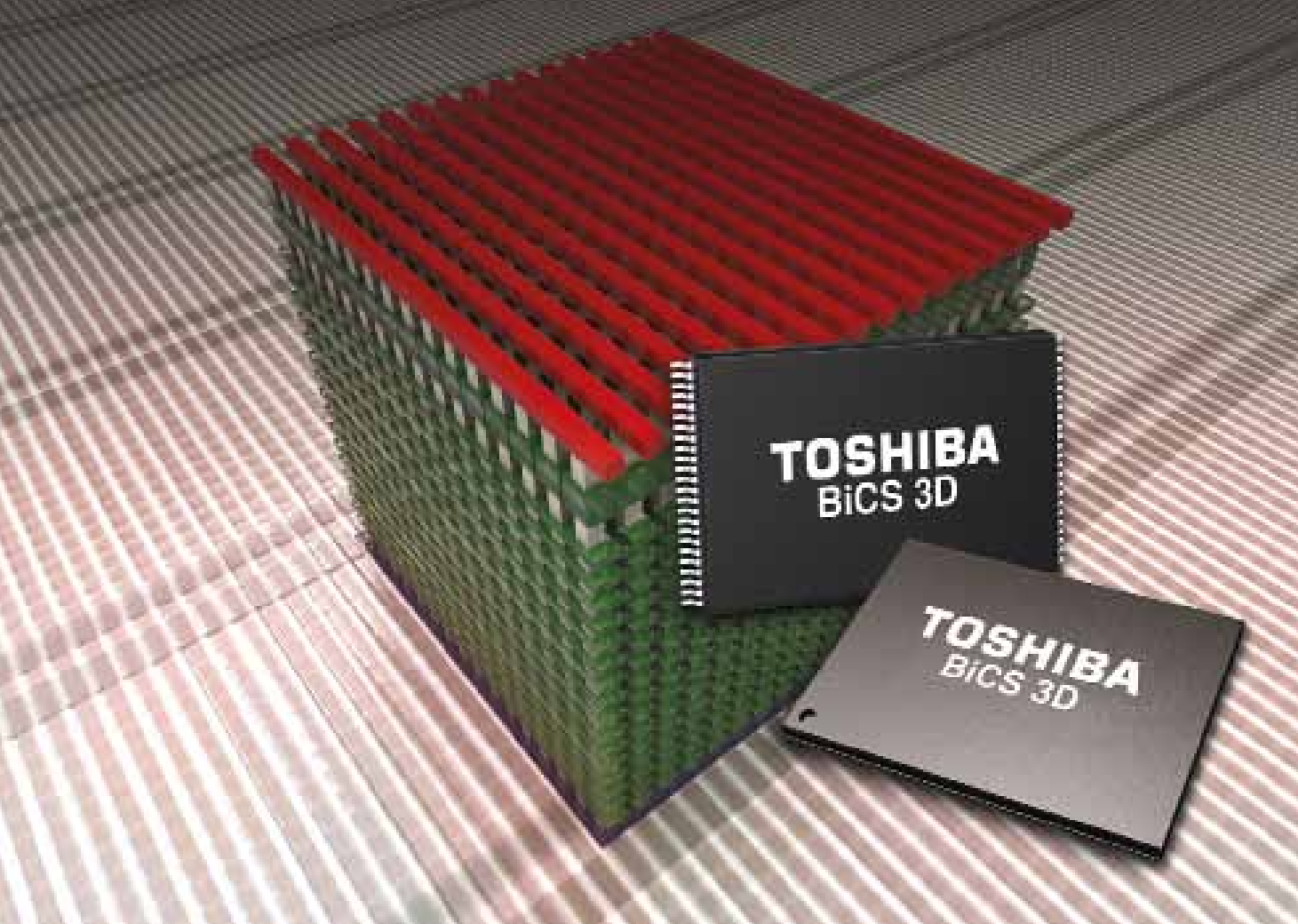
NAND tenderar att nå en maximal kapacitet på 128 Gbit per chip, medan BICS kommer att rikta in sig på kapacitet större än 128 Gbit per chip. Toshiba räknar med att BICS-flash hittar sina första tillämpningar inom företags-SSD:er avsedda för stora mängder data- och molnlagring.

En betydande förändring i strukturen är att BICS-arkitekturer använder celler med laddningsfälla som lagrar elektroner i ett skikt av kiselnitrid i stället för dopat polykristallint kisel, som är typiskt för celler med flytande styre som används i 2D NAND-strukturer. Minnesceller med laddningsfälla är mycket mer tåliga än celler med flytande styre, som traditionellt har används.

Celler med flytande styre kan



Tredimensionella cellstrukturer för NAND, kallade BICS (Bit Column Stacked), som använder laddningsfällor för att lagra elektroner.



liknas vid ett glas fyllt med vatten som skulle läcka om ens en del av glaset går sönder. Detta leder till problem för hållbarheten och livslängden. I jämförelse är minnesceller byggda i lager med laddningsfälla som en svamp som skulle lagra en viss volym av vattnet även om en del av svampen brister, vilket ökar hållbarhet och livslängd.

Den U-formade karaktären hos BiCS-konstruktioner möjliggör maximal arrayeffektivitet och kan tillverkas i befintliga, om än modifierade, fabriker. I första hand kommer BiCS-enheter att tillverkas med hjälp av nuvarande litografitekniker. Extrem ultraviolet litografi (EUVL) och nanoimprintlitografi (NIL) skulle göra att man kan använda ännu mer komplicerade mönster, vilket ytterligare skulle öka konstruktionsflexibiliteten.

Eftersom avståndet mellan cellerna ökar, minskar brusets cell-till-cell liksom interferens. Detta leder i sin tur till att den sekventiella skrivhastigheten hos BiCS-enheter blir högre än för TLC- 2D NAND-enheter. En BiCS-enhet kommer att kunna hantera en

sekventiell skrivhastighet över 30–40 Mbyte per sekund vilket är betydligt snabbare än de 20–30 Mbyte per sekund som TLC-enheter i 15 nm klarar. Dessa hastigheter motsvara en dataöverföringshastighet på runt 533 Mbps för BiCS-enheter.

#### Kiselvior och vidare

För att nå ännu högre hastigheter måste ny teknik användas för att ansluta cellerna. De första BiCS-enheterna använder trådbondning för att ansluta de olika lagren.

Toshiba har samarbetat med New Energy and Industrial Technology Development Organisation för att få till snabbare och mer energieffektiva sätt att koppla samman chipen. Företaget meddelade nyligen att det har utvecklat världens första NAND-flash som staplar 16-chip och använder viahål – TSV, Through Silicon Via – för att ansluta chipen i en BiCS-struktur.

TSV-teknik utnyttjar de vertikala elektroderna och vior för att passera genom kiselchipsen för anslutning. Detta innebär att data kan skyfflas in och ut med hög hastighet

samtidigt som strömförbrukningen minskar.

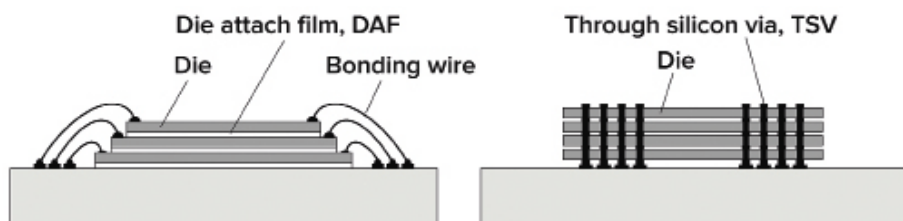
Toshibas TSV-teknik uppnår en IO-hastighet på över 1Gbps vilket är högre än något annat NAND-flash som matas med låga 1,8V till kärnan och 1,2V till IO-enheterna. Detta medför att den energi som behövs för att utföra skriv-, läsoperationer och IO-överföringar minskar med cirka 50 procent jämfört med trådbondade minnen.

Naturligtvis ser framtiden inte ut att sluta med 3D-minnen. Den resistiva minnestekniken (Resistive random-access memory, ReRAM) och fasväxlande minnen (phase-change memory, PCM) börjar dyka upp bortom 3D NAND-horisonten och kan ersätta tekniker som BiCS på längre sikt.

Men det mest omvälvande framtida minnet är kanske magnetiska minnen (magneto-resistive random access memory, MRAM). De är en annan form av icke-flyktigt minne som uppnår hastigheter nära DRAM men till skillnad från NAND har praktiskt taget obegränsad skriv/rader-livslängd.

MRAM har potential att förändra hur alla elektroniska system komma åt data. Idag använder man NAND-flash som en hårddisk – vid uppstart kopieras informationen från NAND-minnet till DRAM:et och koden körs sedan från DRAM:et. Denna process kallas skuggning.

Med MRAM behöver man inte skugga längre eftersom uppgifterna redan är tillgängliga vid tillslag. Detta ger den ytterligare fördelen att man kan använda mindre tåliga NAND-flash för datalagring på längre sikt. ■



Staplade minnesceller kan anslutas med trådbondning eller viahål. Det senare ger stora fördelar bland annat genom betydligt högre datahastighet.